



TITLE:

一方向マルチプロセッサ有限オートマタのある性質(アルゴリズムと計算量の理論)

AUTHOR(S):

角川, 裕次; 松野, 浩嗣; 井上, 克司; 高浪, 五男

CITATION:

角川, 裕次 ...[et al]. 一方向マルチプロセッサ有限オートマタのある性質 (アルゴリズムと計算量の理論). 数理解析研究所講究録 1990, 731: 118-129

ISSUE DATE:

1990-10

URL:

<http://hdl.handle.net/2433/101973>

RIGHT:

一方向マルチプロセッサ有限オートマタの ある性質

山口大学工学部	角川裕次 (Hirotsugu Kakugawa)
大島商船高等専門学校	松野浩嗣 (Hiroshi Matsuno)
山口大学工学部	井上克司 (Katsushi Inoue)
山口大学工学部	高浪五男 (Itsuo Takanami)

1. まえがき

最近マルチプロセッサ有限オートマトン (MPFA) が導入され、いくつかの性質が明らかにされている。(文献[1]) MPFAは最も簡単な並列計算のモデルと考えられる。

MPFAは複数の有限オートマタより構成され、各オートマトンは各々並列に動作を行う。各々のオートマトンをプロセッサと呼ぶ。又、スイッチング関数と呼ばれるものによって、各々のプロセッサを動作させるか非動作にさせるかが決定される。本論文では1方向マルチプロセッサオートマトンの性質について検討する。

2. では、文献[1]で定義されたMPFAの受理条件を変えた「受理型MPFA」を導入する。そして、MPFAに加えて、プロセッサの一つがプッシュダウンオートマトンで他のプロセッサを有限オートマトンとしたマルチプロセッサプッシュダウンオートマトン (MPPDA) を導入する。これにともなって、異なった種類のオートマトンより構成されるマルチプロセッサオートマトン (MPA) の一般的な記法を定める。3. では、MPFAで受理される言語の階層性、即ち、プロセッサ数が k のときよりも $k+1$ のときのほうが受理能力が強い事を示す。4. では、MPFAとマルチヘッド有限オートマトン、シンプルマルチヘッド有限オートマトンとの関係を調べ、特に非決定性受理型MPFAは非決定性マルチヘッドオートマトンと等価である事を示す。5. では停止型 $k+1$ プロセッサMPFAは受理型 k プロセッサMPFAを模倣可能なことを、そして受理型 $k+1$ プロセッサMPFAは停止型 k プロセッサMPFAを模倣可能な事を示す。6. では、MPPDAの性質について調べる。MPPDAにおいても、MPFAでの結果と同様な結果が導かれる。

2. 準備

文献[1]にはマルチプロセッサ有限オートマトン (MPFA) の正式な定義が与えられている。後述のようにこのオートマトンは全てのプロセッサが非動作になったとき入力を受理する。本稿ではこれに加えて受理条件を「全てのプロセッサが受理状態に入ったとき入力を受理する」と変更したオートマトンを考える。更にプロセッサのうち一つがプッシュダウンオートマトンで他が有限オートマトンであるようなマルチプロセッサプッシュダウンオートマトン (MPFDA) を導入する。以下に、これらのオートマトンの正式な定義を与える。

定義1 (停止型マルチプロセッサ有限オートマトン)

停止型1方向 k プロセッサ有限オートマトンは、

$$M = (Q, E, g, h, v_0)$$

と5つ組で表される。各成分は次の通りである。 Q は状態集合と呼ばれる有限集合で、各要素は状態である。 E は入力テープに書かれる記号の有限集合で、アルファベットと呼ばれる。但し、左端、右端記号である ϕ , $\$$ は含まれない。 g は遷移関数と呼ばれ、 $g: Q \times E \rightarrow Q \times \{0, 1\}$ なる写像である。 h はスイッチング関数と呼ばれ、 $h: \{1, 2, \dots, k\} \times Q^k \rightarrow \{0, 1\}$ なる写像である。 v_0 は初期状態の組で、 $v_0 \in Q^k$ である。

非決定性の場合、遷移関数 g は、 $g: Q \times E \rightarrow 2^{Q \times \{0, 1\}}$ なる写像である。他の成分については、決定性のときと同じである。

停止型MPFAは、プロセッサと呼ばれるいくつかの有限オートマトンとスイッチング関数よりなる。入力は左端記号 ϕ と右端記号 $\$$ とに囲まれた読み取り専用のテープに与えられる。動作の開始前には、各プロセッサは左端記号上にあり、各プロセッサの有限制御部には各々初期状態が設定される。そして各プロセッサが並列に動作を行っていくが、各々プロセッサを動作させるかどうかはスイッチング関数によって決められる。直感的には、スイッチング関数は全てのプロセッサの状態によって、次のステップでの各々のプロセッサの動作を行うか動作を行わないかを定める。そして計算のある時点において全プロセッサが非動作になったとき、そのオートマトンは入力語を受理する。

定義2 (受理型マルチプロセッサ有限オートマトン)

受理型1方向 k プロセッサ有限オートマトンは、

$$M = (Q, E, g, h, v_0, F)$$

と6つ組で表される。 F は、 $F \subseteq Q$ で、受理状態集合である。他の成分は、停止型MPFAと同じである。非決定性の場合についても同様である。受理型MPFAは、受理条件を「計算のある時点において全プロセッサが受理状態に入っていたら入力語を受理する」、としたものである。

定義3 (停止型マルチプロセッサプッシュダウンオートマトン)

停止型1方向 k プロセッサプッシュダウンオートマトンは、1つのプッシュダウンオートマトンと $k-1$ 個の有限オートマトンよりなり、

$$M = (Q, E, \Gamma, g_1, g_2, h, v_0, Z_0)$$

と8つ組で表される。各成分は次の通りである。 Q は状態集合と呼ばれる有限集合で、各要素は状態である。 E は入力テープに書かれる記号の有限集合で、アルファベットと呼ばれる。但し、左端、右端記号である ϕ , $\$$ は含まれない。 Γ はプッシュダウンストアのアルファベットである。 g_1 は有限オートマトンの遷移関数で、 $g_1: Q \times E \rightarrow Q \times \{0, 1\}$ なる写像である。 g_2 はプッシュダウンオートマトンの遷移関数で、 $g_2: Q \times E \rightarrow Q \times \{0, 1\} \times \Gamma^*$ なる写像である。 h はスイッチング関数と呼ばれ、 $h: \{1, 2, \dots, k\} \times Q^k \rightarrow \{0, 1\}$ なる写像をする。 v_0 は初期状態の組で、 $v_0 \in Q^k$ である。

非決定性の場合、遷移関数 g_1, g_2 はそれぞれ、 $g_1: Q \times E \times \Gamma \rightarrow 2^{Q \times \{0, 1\} \times \Gamma^*}$, $g_2: Q \times E \rightarrow 2^{Q \times \{0, 1\}}$ なる写像である。他の成分については、決定性のときと同じである。受理条件は停止型MPFAと同じである。

定義4 (受理型マルチプロセッサプッシュダウンオートマトン)

受理型1方向 k プロセッサプッシュダウンオートマトンは、1つのプッシュダウンオートマトンと $k-1$ 個の有限オートマトンよりなり、

$$M = (Q, E, \Gamma, g_1, g_2, h, v_0, Z_0, F)$$

と9つ組で表される。 F は、 $F \in Q$ で、受理状態集合である。他の成分は、停止型MPPDAと同じである。また、受理条件は受理型MPFAのときと同じである。非決定性の場合についても同様である。

記法 本論文では次の記法を用いる。 各 $k \geq 1$ に対し、

FA : 有限オートマトン,

(k)HFA : k ヘッド有限オートマトン,

SP(k)HFA : シンプル k ヘッド有限オートマトン, (詳しくは[4]を参照されたい。)

PDA : プッシュダウンオートマトン,

(k)PDA : k ヘッドプッシュダウンオートマトン.

上の各種オートマトンを組み合わせたマルチプロセッサオートマトンを記述するのに次のような記法を用いる。

$H(A_1(k_1), A_2(k_2), \dots, A_r(k_r))$: 停止型マルチプロセッサオートマトン,

$A(A_1(k_1), A_2(k_2), \dots, A_r(k_r))$: 受理型マルチプロセッサオートマトン.

ここで、 A_i ($1 \leq i \leq r$) はオートマトン、例えば FA, PDA であり、 $A_i(k_i)$ はオートマトン A_i をプロセッサとして k_i 個持つことを表す。但し、 $k_i \geq 1$ とする。 例えば、

$H(FA(k))$: 停止型マルチプロセッサ有限オートマトン,

$A(PDA(1), FA(k-1))$: 受理型マルチプロセッサプッシュダウンオートマトン.

である。更に、決定性（非決定性）のものには頭に 'D' ('N') をつけ、1方向（2方向）のものには更にその前に '1' ('2') を頭につける。 例えば、

$1DH(FA(k))$: 1方向決定性 $H(FA(k))$,

$1NA(PDA(1), FA(k-1))$: 1方向非決定性 $A(PDA(1), FA(k-1))$.

である。また例えば $1DH(FA(k))$ によって受理される言語族を $\mathcal{L}[1DH(FA(k))]$ で表す。

$\mathcal{L}[1NA(PDA(1), FA(k-1))]$, $\mathcal{L}[1NA(PDA(k))]$ などについても同様に定義される。

3. マルチプロセッサ有限オートマトンのプロセッサ数に関する階層性

文献[1]では、 $\mathcal{L}[1DH(FA(1))] \subsetneq \mathcal{L}[1DH(FA(2))]$ であることが示されている。本章ではこれをより一般化し、停止型、受理型共に決定性でも、非決定性でもプロセッサ数が $k+1$

個のときの方が k 個のときよりも真に受理能力が強いことを示す。先ず、停止型について考える。

定理 3. 1 各 $X \in \{D, N\}, k \geq 1$ に対し、 $\mathcal{L}[1XH(FA(k))] \subseteq \mathcal{L}[1XH(FA(k+1))]$.

[証明] 各 $b \geq 1$ に対して、

$$L(b) = \{w_1 * w_2 * \cdots * w_{2b} \mid \begin{aligned} & \text{[各 } 1 \leq i \leq 2b \text{ に対し } w_i \in \{0, 1\}^*] \\ & \& \text{ [各 } 1 \leq i \leq b \text{ に対して } w_i = w_{2b+1-i}] \end{aligned} \}$$

とする。文献[1]において $\mathcal{L}[1XH(FA(k))] \subseteq \mathcal{L}[1X(k)HFA]$ であることが示されている。

また、文献[7]においては $L(k(k-1)/2) \not\subseteq \mathcal{L}[1N(k-1)HFA]$ であることが示されている。

よって、本定理を証明するには $L(k(k-1)/2) \in \mathcal{L}[1DH(FA(k))]$ であることを示せばよい。

$L(k(k-1)/2)$ を受理する $1DH(FA(k))$ M が存在することを帰納法で示す。

・基底段階 $k = 2$ のとき、 $L(1) = \{w_1 * w_2 \mid w_1, w_2 \in \{0, 1\}^*, w_1 = w_2\}$

は、次のように動作する M によって受理される。 M の 2 つのプロセッサをそれぞれ p_1, p_2 とする。まず、 p_2 を部分語 w_2 の左の `*` 上に移動する。そして p_1 と p_2 は同時に右に移動する。このとき、各プロセッサは読んだ記号、および各セグメント内でのプロセッサの位置が左端から数えて偶数か奇数かを状態として記憶する。スイッチング関数は p_1, p_2 の状態を比べることで各プロセッサが読んだ記号の比較を行う。もし読んだ記号が異なっていたら p_1 を非動作にし、同じであったら更に比較を続ける。読んだ記号が異なっている場合には、次の計算のステップでは、 p_1 の w_1 の左端からの位置と、 p_2 の w_2 の左端からの位置は異なっている。つまり、一方のプロセッサは偶数番目のコマに、他方のプロセッサは奇数番目のコマ上にあることをそれぞれ記憶している。そして、スイッチング関数は各プロセッサの読んだ記号には関係なく常にプロセッサを動作させて各プロセッサを右に動かす。 M が入力語を受理するのは、 p_1 と p_2 がそれぞれ `*` と `φ` を同時に読み、かつ p_1, p_2 が共に奇数番目のコマにいるか、偶数番目のコマにあるときのみとする。それ以外はこれらのプロセッサは無限の動作を続ける。

・帰納段階 $k=t$ のとき、 M が $L(t(t-1)/2)$ を受理すると仮定する。 $k=t+1$ のとき。

M のプロセッサを p_1, p_2, \dots, p_{t+1} とする。まず、 p_{t+1} を部分語 $w_{(t+1)t/2-t+1}$ の左の `*` に移動させる。そして p_{t+1} が、その右にある t 個の部分語 $w_{(t+1)t/2-t+1}, w_{(t+1)t/2-t+2}, \dots, w_{(t+1)t/2}$ を読み、 p_1, p_2, \dots, p_t がそれぞれ部分語 $w_1, w_2,$

..., w_t を読んで対応する部分語の比較を行う。もし対応する部分語が異なっていたら、無限の動作にはいる。この比較は、 $k=2$ のときの動作と同じ考え方で行う。比較がうまくいけば更に（再帰的に）比較を行う動作にはいる。即ち p_1, p_2, \dots, p_t を用いて部分語 $w_{t+1}, w_{t+2}, \dots, w_{t+(t-1)/2}$ の比較を行う。帰納法の仮定より、この比較を行うことができる。（証明終り）

受理型の場合も同様な結果が示されるが、その前に次の補題が必要である。

補題 3. 1 各 $X \in \{D, N\}, k \geq 1$ に対し、 $\mathcal{L}[1XA(FA(k))] \subseteq \mathcal{L}[1X(k)HFA]$ 。

[証明] 文献[1]の定理 2. 1 の証明と同様にして示される。（証明終り）

定理 3. 2 各 $X \in \{D, N\}, k \geq 1$ に対し、 $\mathcal{L}[1XA(FA(k))] \subsetneq \mathcal{L}[1XA(FA(k+1))]$ 。

[証明] 文献[7]に $L(k(k-1)/2) \notin \mathcal{L}[1N(k-1)HFA]$ が示されていることと、補題 3. 1 より $L(k(k-1)/2) \notin \mathcal{L}[1NA(FA(k))]$ であることが導かれる。一方、 $L(k(k-1)/2) \in \mathcal{L}[1DA(FA(k+1))]$ は定理 3. 1 の停止型の場合と同様にして示される。但し、対応する部分語を比較しているときに、部分語が異なっていると分かったときには、その時点でスイッチング関数で全プロセッサを非動作にする。対応する部分語が全て同じであればそれぞれのプロセッサは受理状態に遷移して入力語を受理する。（証明終り）

4. マルチプロセッサ有限オートマトンとマルチヘッド有限オートマトン

文献[1]では、 k ヘッド有限オートマトンは k プロセッサ有限オートマトンを模倣できる、という事が示されている。本章では受理型非決定性一方向 $MPFA$ と非決定性一方向マルチヘッド有限オートマトンとは受理能力が等価であること、及びシンプルマルチヘッド有限オートマトンとの関係についての結果を示す。

定理 4. 1 各 $k \geq 1$ に対し、 $\mathcal{L}[1N(k)HFA] = \mathcal{L}[1NA(FA(k))]$ 。

[証明] 補題 3. 1 より各 $k \geq 1$ に対し $\mathcal{L}[1NA(FA(k))] \subseteq \mathcal{L}[1N(k)HFA]$ である。よって以下に $\mathcal{L}[1N(k)HFA] \subseteq \mathcal{L}[1NA(FA(k))]$ であることを示す。 $1N(k)HFA$ M の k 本のヘッドを h_1, h_2, \dots, h_k とし、 $1NA(FA(k))$ N の k 個のプロセッサを p_1, p_2, \dots, p_k と

する。プロセッサ p_1 で M の有限制御部の状態及び h_1 の動作を模倣する。 p_1 は h_1, h_2, \dots, h_k によって読まれる記号を非決定的に推測する。これらの記号と p_1 が読んでいる記号及び p_1 の有限制御部の状態によって動作していく。このとき h_1, h_2, \dots, h_k の各ヘッドが右に動くか停止するかをも有限制御部の中に貯えておく。 p_1 は推測した $k-1$ 個の記号が正しいか否かを p_2, p_3, \dots, p_k で読んだ記号に依存した各プロセッサ内の状態及びスイッチング関数によってチェックする。推測が誤っていた場合は全てのプロセッサを非動作にする。

プロセッサ p_2, p_3, \dots, p_k はヘッド h_2, h_3, \dots, h_k が右に1コマ動くか停止するかを非決定的に推測をし、どちらであるかを有限制御部に貯える。この推測が正しいか否かはこれらのプロセッサの状態と先に p_1 中に貯えておいた h_2, h_3, \dots, h_k のヘッド動きとスイッチング関数によって比べることで行う。推測が誤っていた場合には、全てのプロセッサを非動作にする。 p_1 の状態が M の受理状態になれば N は入力を受理する。こうして N は M の動作を模倣できる。(証明終り)

定理 4. 2 $L = \{wcw \mid w \in \{0,1\}^*\}$ とするとき、 $L \in \mathcal{L}[1DH(FA(2))]$, $L \in \mathcal{L}[1DA(FA(2))]$ だが $L \notin \bigcup_{1 \leq k < \infty} \mathcal{L}[1NSP(k)HFA]$.

[証明] 定理 3. 1、定理 3. 2 の証明と同様の技法により、 $L \in \mathcal{L}[1DH(FA(2))]$, $\mathcal{L}[1DA(FA(2))]$ である事が示される。一方、 $L \notin \bigcup_{1 \leq k < \infty} \mathcal{L}[1NSP(k)HFA]$ であることは [6] の補題 2 に示されている。よって本定理が成立する。(証明終り)

定理 4. 3 各 $k \geq 1$ に対し、 $\mathcal{L}[1NSP(k)HFA] \subseteq \mathcal{L}[1NA(FA(k+1))]$.

[証明] 各 $k \geq 1$ に対し、 $\mathcal{L}[1NSP(k)HFA] \subseteq \mathcal{L}[1N(k)HFA]$ は明らか。この事実と、定理 4. 1 と定理 4. 2 より本定理が成立する。(証明終り)

以上より、次の系を得る。

系 4. 1 $\bigcup_{1 \leq k < \infty} \mathcal{L}[1NSP(k)HFA] \subseteq \bigcup_{1 \leq k < \infty} \mathcal{L}[1N(k)HFA] = \bigcup_{1 \leq k < \infty} \mathcal{L}[1NA(FA(k))]$.

5. 停止型と受理型の関係

停止型と受理型の受理能力にどのような関係があるかは興味ある問題である。本章では、停止型MPFAと受理型MPFAとの関係について調べる。

定理 5. 1 各 $k \geq 1$ に対し、

(i) $\mathcal{L}[1NH(FA(k))] \subseteq \mathcal{L}[1NA(FA(k))]$,

(ii) $\mathcal{L}[1DH(FA(k))] \subseteq \mathcal{L}[1DA(FA(k+1))]$.

[証明] (i) 定理 4. 1 と文献[1]の定理 2. 1 より明らか。

(ii) いかなる $1DH(FA(k))$ M に対しても、 M を模倣する $1DA(FA(k+1))$ N を構成できることを示せばよい。 M のプロセッサ p_1, p_2, \dots, p_k の動作を N のプロセッサ p_1', p_2', \dots, p_k' で模倣する。 N の $k+1$ 番目のプロセッサ p_{k+1}' は左端記号 ϕ 上で初期状態のままスイッチング関数で非動作にしておく。 M が与えられた入力を受理したとする。このとき、 p_1, p_2, \dots, p_k は全て停止しており、各プロセッサの状態を q_1, q_2, \dots, q_k とする。次の集合 H を定義する。

$H = \{q_1, q_2, \dots, q_k \mid \exists i (1 \leq i \leq k) [p_i \text{ は非動作で、かつその状態は } q_i \text{ である}]\}$ 。

N の受理状態集合を、 $H \cup \{q_\bullet\}$ ($q_\bullet \notin H$) とする。 N のある時点で $\exists i (1 \leq i \leq k)$ $[(p_i \text{ の状態}) \in H]$ となったとする。 N はスイッチング関数を使って、 p_i の状態の組合せが M が入力を受理するときの組合せとなっているかをチェックし、その場合には p_{k+1}' を動作させその状態を q_\bullet に遷移させる。そうでない場合には p_{k+1}' は非動作のままにして、 N は M の模倣を続けていく。こうして N は M の動作を模倣できる。(証明終り)

定理 5. 2 各 $X \in \{D, N\}, k \geq 1$ に対し、 $\mathcal{L}[1XA(FA(k))] \subseteq \mathcal{L}[1XH(FA(k+1))]$ 。

[証明] いかなる $1XA(FA(k))$ M に対しても、 M を模倣する $1XH(FA(k+1))$ N を構成できることを示せばよい。 M のプロセッサ p_1, p_2, \dots, p_k の動作を N のプロセッサ p_1', p_2', \dots, p_k' で模倣する。 N の $k+1$ 番目のプロセッサ p_{k+1}' は左端記号 ϕ 上で初期状態のままスイッチング関数で非動作にしておく。 M が与えられた入力を受理したとする。このとき、 p_1, p_2, \dots, p_k は全て予め定められた受理状態に入っている。この場合 N はスイッチング関数によって p_1', p_2', \dots, p_k' および p_{k+1}' を非

動作にして入力を受理する。計算のある時点でMのプロセッサが全て非動作になったとする。この場合Nはスイッチング関数によって p_{k+1} を動作させて、無限ループに入る。

(停止型MPFAは、全てのプロセッサが非動作になったときに入力を受理することに注意。) こうしてNはMの動作の模倣ができる。 (証明終り)

定理5. 1, 定理5. 2及び定理3. 1の証明と、定理3. 2の証明より次の系を得る。

系5. 1 各 $X \in \{D, N\}$, $k \geq 1$ に対し、 $\mathcal{L}[1XH(FA(k))] \subseteq \mathcal{L}[1XA(FA(k+1))]$.

系5. 2 各 $X \in \{D, N\}$, $k \geq 1$ に対し、 $\mathcal{L}[1XA(FH(k))] \subseteq \mathcal{L}[1XH(FA(k+1))]$.

系5. 3 各 $X \in \{D, N\}$, $k \geq 1$ に対し、 $\bigcup_{1 \leq k < \infty} \mathcal{L}[1XH(FA(k))] = \bigcup_{1 \leq k < \infty} \mathcal{L}[1XA(FA(k))]$.

6. マルチプロセッサプッシュダウンオートマトンの性質

本章ではMPDAのいくつかの性質について調べる。MPDAは一つのプッシュダウンオートマトン(PDA)と、複数の有限オートマトン(FA)より構成されるマルチプロセッサオートマトン(MPA)である。MPDAは、全てのプロセッサをPDAとしたものを考える方がより自然なモデルであるように思えるが、ここでこのようなオートマトンモデルを考えることは次の理由による。2つのPDAよりなる非決定性受理型MPA Mは、定理4. 1の証明を拡張することにより、非決定性2ヘッド2プッシュダウンオートマトンと受理能力が等価であることを示せる。2-プッシュダウンオートマトンは、チューリング機械と等価であることはよく知られているので(文献[3])、Mはチューリング機械と受理能力が等価になる。停止型の場合では、以上のことと定理5. 2の証明と同様の技法を用いることで、3つのプッシュダウンオートマトンよりなる非決定性MPA(実際にはプロセッサは2つのPDAと1つのFAで十分である)がチューリング機械と受理能力が等価となる。したがって、チューリング機械で受理される言語族を $\mathcal{L}[TM]$ とすると、各 $k \geq 2$ に対し、 $\mathcal{L}[1NA(PDA(k))] = \mathcal{L}[TM]$ 、各 $k \geq 3$ に対し、 $\mathcal{L}[1NH(PDA(k))] = \mathcal{L}[TM]$ となり、マルチプロセッサオートマトンとして調べることの興味が半減する。

まず、MPDAとMPFA、マルチヘッドプッシュダウンオートマトンとの関係につ

いて次の補題が成立する。

補題 6. 1 各 $k \geq 2, X \in \{D, N\}$ に対し、

$$(a) \mathcal{L}[1XH(FA(k))] \subseteq \mathcal{L}[1XH(PDA(1), FA(k-1))] \subseteq \mathcal{L}[1X(k)PDA],$$

$$(b) \mathcal{L}[1XA(FA(k))] \subseteq \mathcal{L}[1XA(PDA(1), FA(k-1))] \subseteq \mathcal{L}[1X(k)PDA].$$

[証明] 文献[1]の定理 2. 1 と同様にして証明できるので省略。 (証明終り)

次は、プロセッサ数に基づく階層性を、すなわち FA を 1 つ増やせば受理能力が真に増すことを示す。

定理 6. 1 各 $k \geq 1, X \in \{D, N\}$ に対し、

$$(a) \mathcal{L}[1XH(PDA(1), FA(k-1))] \subseteq \mathcal{L}[1XH(PDA(1), FA(k))],$$

$$(b) \mathcal{L}[1XA(PDA(1), FA(k-1))] \subseteq \mathcal{L}[1XA(PDA(1), FA(k))].$$

[証明] $L(b) = \{w_1cw_2c \cdots cw_{b-2}w_{b-1}c \cdots cw_1 \mid w_i \in \{0, 1\}^*\}$ とする。

補題 6. 1 と定理 3. 1、定理 3. 2 の証明より、 $b \leq k(k-1)/2$ ならば $L(b) \in \mathcal{L}[1DH(PDA(1), FA(k-1))]$, $L(b) \in \mathcal{L}[1DA(PDA(1), FA(k-1))]$ である。一方、 $b \geq k(k-1)/2$ ならば、 $L(b) \notin \mathcal{L}[1N(k)PDA]$ であることが文献[2]に示されている。この事実と補題 6. 1 より、 $b \leq k(k-1)/2$ のとき $L(b) \notin \mathcal{L}[1DH(PDA(1), FA(k-1))]$, $L(b) \notin \mathcal{L}[1DA(PDA(1), FA(k-1))]$ である事が示される。よって、本定理が成立する。 (証明終り)

停止型 MPPDA と受理型 MPPDA について次の定理が成立する。

定理 6. 2 各 $k \geq 2, X \in \{D, N\}$ に対し、

$$(a) \mathcal{L}[1XA(PDA(1), FA(k-1))] \subseteq \mathcal{L}[1XH(PDA(1), FA(k))],$$

$$(b) \mathcal{L}[1DH(PDA(1), FA(k-1))] \subseteq \mathcal{L}[1DA(PDA(1), FA(k))],$$

$$(c) \mathcal{L}[1NH(PDA(1), FA(k-1))] \subseteq \mathcal{L}[1NA(PDA(1), FA(k-1))].$$

[証明] 定理 5. 1、定理 5. 2 の証明と同様にして、 $\mathcal{L}[1XA(PDA(1), FA(k-1))] \subseteq \mathcal{L}[1XH(PDA(1), FA(k))]$, $\mathcal{L}[1DH(PDA(1), FA(k-1))] \subseteq \mathcal{L}[1DA(PDA(1), FA(k))]$, $\mathcal{L}[1NH(PDA(1), FA(k-1))] \subseteq \mathcal{L}[1NA(PDA(1), FA(k-1))]$ を得る。また、これらの事実と定理 6. 1 の証明より (a), (b) が示される。 (証明終り)

プッシュダウンストアの有無による受理能力の違いについて次の定理が成り立つ。

定理 6. 3 各 $k \geq 2, X \in \{D, N\}$ に対し、

- (a) $\mathcal{L}[1XH(FA(k))] \subseteq \mathcal{L}[1XH(PDA(1), FA(k-1))]$,
- (b) $\mathcal{L}[1XA(FA(k))] \subseteq \mathcal{L}[1XA(PDA(1), FA(k-1))]$,
- (c) $\bigcup_{1 \leq k < \infty} \mathcal{L}[1XH(FA(k))] \subseteq \bigcup_{1 \leq k < \infty} \mathcal{L}[1XH(PDA(1), FA(k-1))]$,
- (d) $\bigcup_{1 \leq k < \infty} \mathcal{L}[1XA(FA(k))] \subseteq \bigcup_{1 \leq k < \infty} \mathcal{L}[1XA(PDA(1), FA(k-1))]$.

[証明] (a), (b) 各 $k \geq 2, X \in \{D, N\}$ に対し、 $\mathcal{L}[1XH(FA(k))] \subseteq \mathcal{L}[1XH(PDA(1), FA(k-1))]$,
 $\mathcal{L}[1XA(FA(k))] \subseteq \mathcal{L}[1XA(PDA(1), FA(k-1))]$ は明らか。

$L = \{ w_1 c w_2 c \cdots c w_m 2 w_m^R c w_{m-1}^R c \cdots c w_1^R \mid m \geq 1, w_i \in \{0, 1\}^* (1 \leq i \leq m) \}$
 とする。文献[5]の定理 6. 2 において、 $L \notin \bigcup_{1 \leq k < \infty} \mathcal{L}[1N(k)HFA]$ が示されている。この事実と文献の[1]の定理 2. 1 と補題 3. 1 より、 $L \notin \bigcup_{1 \leq k < \infty} \mathcal{L}[1NH(FA(k))]$, $L \notin \bigcup_{1 \leq k < \infty} \mathcal{L}[1NA(FA(k))]$ が成り立つ。ところが、明らかに $L \in DCF L$ (決定性分脈自由言語族) なので、各 $k \geq 2$ に対し、 $L \in \mathcal{L}[1DH(PDA(1), FA(k-1))]$, $L \in \mathcal{L}[1DA(PDA(1), FA(k-1))]$ である。よって本定理が成立する。

(c), (d) これらは、(a), (b) より成立する。 (証明終り)

次の定理は定理 5. 1 の証明を拡張することによって示される。これは非決定性受理型 $MPPDA$ と非決定性マルチヘッド PDA とは受理能力が等価である事を示している。

定理 6. 4 各 $k \geq 1$ に対し、 $\mathcal{L}[1N(k)PDA] = \mathcal{L}[1NA(PDA(1), FA(k-1))]$.

定理 6. 2 と定理 6. 4 より次の系を得る。

系 6. 1 $\bigcup_{1 \leq k < \infty} \mathcal{L}[1NH(PDA(1), FA(k-1))] = \bigcup_{1 \leq k < \infty} \mathcal{L}[1NA(PDA(1), FA(k-1))]$
 $= \bigcup_{1 \leq k < \infty} \mathcal{L}[1N(k)PDA]$.

9. むすび

未解決の問題をいくつか与えて本稿を終える。

各 $k \geq 1$ に対し、

- (1) $\mathcal{L}[1DH(FA(k))]$ と $\mathcal{L}[1DA(FA(k))]$ の関係はどうか?
- (2) $\mathcal{L}[1NH(FA(k))] = \mathcal{L}[1NA(FA(k))]$ であるか?
- (3) $\mathcal{L}[1DH(FA(k))] \subseteq \mathcal{L}[1D(k)HFA]$ であるか?

10. 参考文献

- [1] Buda., A. C.: "Multiprocessor automata", Information processing letters 25 257-261 (1987)
- [2] Chorobak, M., Li, M.: "K+1 Heads Are Better than k for PDAs", Journal of Comput. and System Sci. 37, 144-155 (1988)
- [3] Hopcroft, J. E., Ullman, J. D.: "Introduction to Automata Theory, Languages, and Computation", Addison-Wesley, Reading, Mass (1979) (邦訳 野崎, 高橋, 町田, 山崎 訳: オートマトン 言語理論 計算論 I, II, サイエンス社1984年)
- [4] Inoue, K., Takanami, I., Nakamura, I., Ae, T.: "One-way simple multihead finite automata", Theoret Comput. Sci. 9 311-328 (1979)
- [5] 井上・中村・高浪: " シンプルマルチヘッドオートマタ並びにマルチヘッドオートマタに関する 2, 3 の性質", 信学技報 AL77-9 (1977)
- [6] 谷口・井上・高浪: " シンプルマルチヘッド有限オートマタのあるクラスについて", 信学技報 AL78-64 (1978)
- [7] Yao, A. C., Rivest, R. L.: "K+1 Heads Are Better than k", J. ACM 25, 337-340 (1978)